

一种适用于小卫星地检的数据采集装置

陈 萍^{1,2}, 姜秀杰¹

(1 中国科学院 空间科学与应用研究中心, 北京 100190; 2 中国科学院 研究生院, 北京 100049)

摘 要: 介绍了一种采用 CAN 总线的小卫星数据采集装置. 装置以应用于小卫星地面测试设备为主要目的, 以 FPGA 为核心单元, 控制外围 CAN 控制器和 A/D 转换器, 实现数字量和模拟量的采集. 阐述了装置的硬件构成和软件设计, 给出了片上测试的结果. 测试结果表明: 该装置功能完善, 运行稳定, 对实际工程有一定应用价值.

关键词: 小卫星; CAN 总线; 数据采集; FPGA

中图分类号: TP336

文献标识码: A

文章编号: 1000-7180(2010)04-0125-04

A Device Suitable for Data Acquisition of Small Satellite Ground Test

CHEN Ping^{1,2}, JIANG Xiu-jie¹

(1 Center for Space Science and Applied Research, Chinese Academy of Sciences, Beijing 100190, China;

2 Graduate School, Chinese Academy of Sciences, Beijing 100049, China)

Abstract: This paper introduces a device suitable for data acquisition of small satellite which adopted the CAN bus. The device aims at application in the ground test equipment for small satellite. It takes FPGA as the center which controls the periphery CAN controller and A/D converter to implement the acquisition of digital and analog signal. The paper describes the hardware composition, software design and gives out the results of on-chip test. Test results show that the device has a complete function and stable operation. It also has some reference value for the engineering practice.

Key words: small satellite; CAN bus; data acquisition; FPGA

1 引言

小卫星是指重量小于 1000 公斤的卫星, 轨道大多位于 1000 公里的空间区域. 小卫星不仅应用在通信、遥感、天文等各个方面. 它还适用于进行新技术试验, 并且易于在不同的轨道上组成卫星星座, 从而实现单颗卫星无法实现的功能. 由于小卫星具有成本低、质量轻、发射周期短、机动灵活和应用广泛等优点, 正在受到世界上许多国家的广泛关注^[1].

小卫星常用的总线是控制器局域网 (Controller Area Network, CAN) 总线. CAN 总线是一个多主机异步串行总线, 也是国际上应用最广泛的现场总线之一. 由于 CAN 总线具有抗干扰性强, 高数据传输

率, 低成本等优点, 在小卫星和微小卫星中得到了越来越广泛的应用. 文中针对具有 CAN 总线的小卫星设计的数据采集装置以地面检测实验为主要目的, 但是只要选用宇航级的电子器件, 还可以应用于星上的数据采集^[2].

2 系统硬件设计

本系统的数字量通过 CAN 总线传输, 模拟量通过 A/D 转换模块采集, 以 FPGA 作为核心控制单元, 为整个装置提供控制时序、FIFO 缓存、串/并转换等逻辑功能. FPGA 模块选用 Xilinx 公司 Spartan3 系列的 XC3S200. Spartan3 系列 FPGA 的内核电压 (Vccint)、Bank 电压 (Vcco) 和辅助电压 (Vc-

caux)分别需要接 1.2V、3.3V、2.5V. 对于 Spartan3 器件,电源的上电顺序没有特殊要求,因此电源管理模块采用 TI 公司的 TPS767D325 以及 TPS62003. 前者把 5V 的供电电压转换成 2.5V 和 3.3V,后者

把 3.3V 的电压转换成 1.2V 供 FPGA 使用. 电源管理模块还包括 DC/DC 双路隔离模块,提供与输入 V_{cc} 隔离的 +5V 电压输出和地. 硬件的电路连接如图 1 所示.

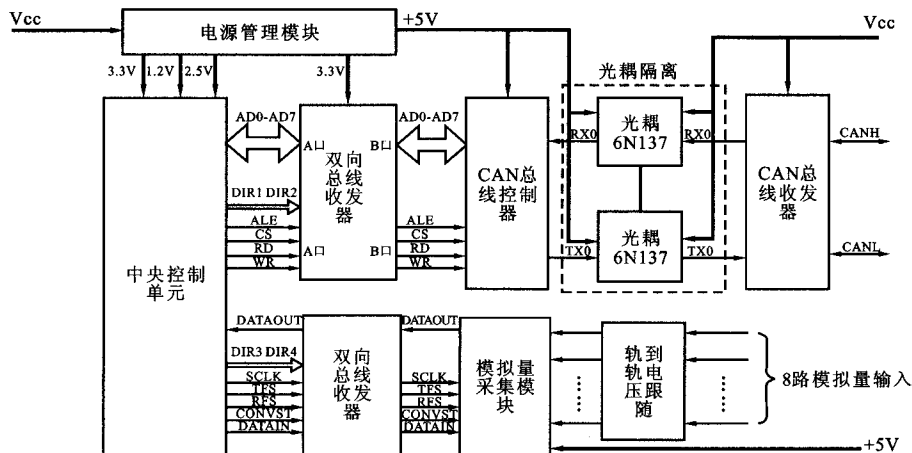


图 1 系统硬件组成

2.1 CAN 总线数据采集模块

图 1 中, CAN 总线数据采集模块采用 Philips 公司的 SJA1000 作为 CAN 控制器芯片, 82C250 作为 CAN 总线收发器. 对于 Spartan3 系列的 FPGA 而言, 接口电平不支持 5V I/O 标准, 为此, 采用 TI 公司的双向总线收发器 74ALVC164245, 把 SJA1000 的 5V TTL 电平信号 AD0 - AD7、CS、WR、RD、ALE 转换成 3.3V I/O 标准, 连接到 FPGA 的引脚上. 82C250 是 CAN 控制器与物理总线之间的接口. 它的 RS 引脚(斜率电阻输入端)接 47K 电阻后接地, 降低射频干扰. 为了进一步提高系统的抗干扰能力, 在 SJA1000 和 82C250 之间使用了高速光耦 6N137 构成的隔离电路. 82C250 本身具备瞬间抗干扰、降低射频干扰(RFI)以及实现热防护的能力, 它的电流限制电路还提供了对总线的进一步保护. 如果现场传输距离近、电磁干扰小, 可以不采用光电隔离, 以使系统达到最大的通信速率或距离^[3]. CAN - H 端和 CAN - L 端与物理 CAN 总线之间各串联一个起限流作用的 5Ω 电阻, 并在总线两端接一个 120Ω 的总线阻抗匹配电阻. 由于使用了 82C250 的集成的收发器电路, SJA1000 的 RX1 引脚接地, 使用旁路功能(时钟分频寄存器 CBP 位置 1), 在这种情况下, 减少了内部传播延迟, 提高了 CAN 总线的最大长度, 休眠模式的电流也显著降低. 测试实验表明, 硬件设计成功实现了 CAN 总线的数据收发.

2.2 多通道 A/D 采集模块

星上模拟量一般为不超过 $\pm 5V$ 的信号. A/D

转换模块主要完成多路模拟量的采集, 转换成数字量后方便分析和存储. 图 1 中, 模拟量采集模块选用了 Analog Device 公司的 AD7890 - 10. AD7890 是一款 8 通道 12 位, 输入模拟量范围为 $\pm 10V$ 的串行 A/D 转换器. 它的主要性能特征包括: A/D 转换时间快 ($9.5\mu s$); 功耗低 (最大 50mW, 休眠状态下 $75\mu W$); 信噪比高 (大于 70dB); 总谐波失真小 (不大于 -78dB); 内置跟踪/保持放大器, 片上参考电压; 具有高速、灵活的串行接口等^[4]. 给使用带来很大的方便.

AD7890 的 8 路模拟通道的输入信号通过轨到轨 (rail-to-rail) 电压跟随器接入, 其中轨到轨电压跟随器采用运放 TLC2274. AD7890 的转换通道由多路开关根据 3 位通道地址选择, 多路切换时按先开后合方式操作. REF OUT/REF IN 是参考电压输出/输入端. 可使用外部参考电压或内部参考电压. 本设计使用内部参考电压, 此时在该端和模拟地之间接入一只 $0.1\mu F$ 的电容. AD7890 的 SMODE 接高电平, 使芯片工作在外时钟模式下. Cext 引脚的电容值决定了 AD7890 开始启动的内部延时脉冲, 根据实际情况, 这里在 Cext 引脚和接地端之间接入了 120pF 的电容. SCLK、TFS、RFS、DATAIN 引脚分别是 AD7890 的时钟输入端、传输帧同步信号, 接收帧同步信号和数据输入端. 由于 AD7890 接口电平标准为 5V TTL, 为此采用第二片 74ALVC164245 进行电平转换.

3 系统软件设计

FPGA 对外围模块控制程序的顶层设计如图 2 所示. 其中, ALE、CS、RD 和 WR 是 FPGA 对 SJA1000 的控制信号, DIR1、DIR2、DIR3 和 DIR4

分别是对两片 74ALVC164245 的方向选择控制信号. DATAOUT、DATAIN 信号分别是 AD7890 的数据输出通道和控制字写入通道. CONVST、TFS、RFS 是 FPGA 对 AD7890 的控制信号, SCLK 是 FPGA 对 A/D 采集芯片的时钟输出信号^[5].

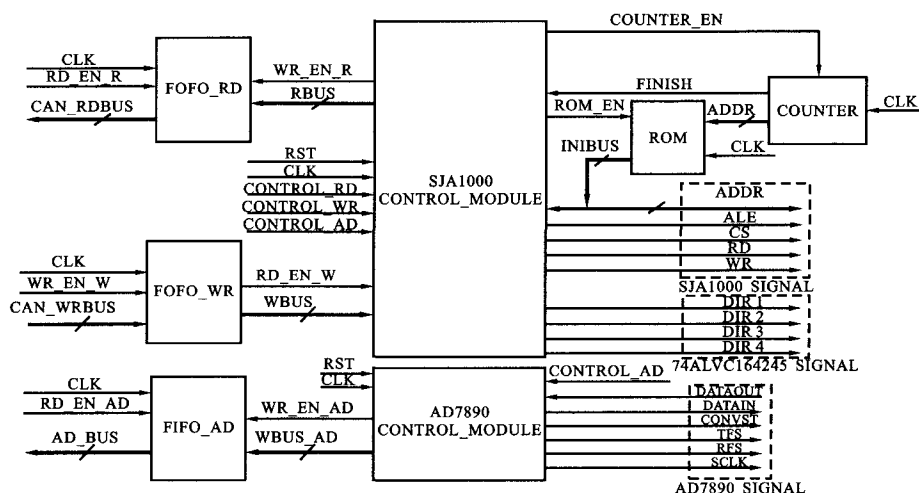


图2 FPGA控制的内部电路结构

3.1 FPGA对SJA1000控制的设计实现

图2中SJA1000 CONTROL_MODULE是FPGA对SJA1000控制的核心模块. FPGA接到复位信号,即对SJA1000内部寄存器初始化. ROM中存储有初始化寄存器的地址和数据. FIFO_RD, FIFO_WR分别是FPGA内部对CAN总线的接收、发送缓存. CONTROL_MODULE从ROM中读取地址,对SJA1000的寄存器初始化. 本文中配置SJA1000工作在PeliCan的方式下,初始化过程包括依次对时钟分频器、4个验收码寄存器、4个屏蔽寄存器、总线时序寄存器、输出控制寄存器的寻址和赋值^[6]. 图2中计数器COUNTER的作用是通过使地址加1,指向ROM中下一个数据.

初始化完成后, FPGA通过不断查询SJA1000的状态寄存器,确认总线是否正常,是否正在进行报文的发送和接收. 在读控制信号有效,即CONTROL_RD信号有效时,如果SJA1000的接收缓冲区状态标志位(RBS)为1,即接收缓冲区中有数据,就产生SJA1000要求的写时序,从SJA1000的接收缓冲区中读取数据,缓存在FIFO_RD中. 读完11个字节(从地址16~26),则释放该区,完成一帧数据的接收. 当CONTROL_MODULE的发送控制信号CONTROL_WR有效时,如果SJA1000的发送缓冲区状态标志位(TBS)为1,即发送缓冲区释放,它读取缓存在内部FIFO_WR上的数据,并产生SJA1000要求的写时序,连续写入11个字节到发送

缓冲区中(地址为16~26),其中,前三个字节为信息字节,后8个字节为数据,之后启动发送命令,完成一帧数据的发送. 设计中FPGA内部的FIFO和ROM采用IP核实现,模块CONTROL_MODULE、计数器COUNTER用VHDL语言编写实现.

3.2 FPGA对AD7890控制的设计实现

图2中AD7890 CONTROL_MODULE完成对A/D模块的控制以及对转换结果的接收和串并转换. 由于AD7890的串行脉冲频率最大是10 MHz,而FPGA采用20MHz的时钟,因此在FPGA内部应进行时钟分频. FPGA对AD7890的控制流程如下:

(1) 反复检查控制信号线,当采集事件发生时,即图2中的控制线CONTROL_AD=1时,转(2);

(2) 产生A/D启动信号CONVST=1,并产生用于读写数据的串行时钟信号SCLK,转换过程开始,转(3);

(3) 等待转换过程结束之后,使接收帧同步信号RFS=0,转(4);

(4) 在接收帧同步信号启动后,16位数据将随着时钟节拍被读取,并进行串并转换,产生FIFO缓存的写控制指令,缓存在FIFO中,完成后使RFS=1,转(5);

(5) 使传输帧同步信号TFS=0,并在时钟的节拍下向AD7890的DATA IN端写控制字,完成后使TFS=1,结束写操作,转(6);

(6) 使启动信号 $CONVST = 0$, 如果继续转换其他通道的模拟量, 则转(2), 否则转(1);

根据以上操作步骤, 每采集完一个通道, 则 FPGA 对 AD7890 的控制寄存器重新初始化, 指向下一通道, 如此循环往复, 完成多路模拟量的分时采集. 硬件测试实验表明, 此方法模拟量采集速度快, 性能稳定.

4 系统验证

本设计在 Xilinx ISE^[7]和 Modelsim 的软件平台上进行了综合以及 Post-map 仿真, 并在实际工程中得到了验证. 利用周立功公司的 USBCAN-II 设备产生并发送 CAN 总线数据, 在模拟量输入端施加不超过 $\pm 10V$ 的模拟量, 进行 FPGA 片上数据采集测试实验. 用 Xilinx 公司的 ChipScope 软件做片上数据测试. 由实验结果可知, 该装置完全满足 CAN 总线数据通信的要求, 实现了多通道的模拟量采集.

5 结束语

文中提出的基于 FPGA 的适用于小卫星地检的数据采集及通信装置, 既适用于地面测试设备的研制, 又为航天领域小卫星的星上数据采集提供了不同于单片机控制的一种可以实现的方案. 该方案在解决一些可应用在航天领域的单片机速度较低, 资源较少, 功耗较高, 容易出现程序跑飞等问题方面

提供了新的途径.

实验结果证明本设计方法正确、使用方便、可扩展性强、运行稳定可靠, 对于 CAN 总线在实际工程的应用有一定的参考价值和应用前景.

参考文献:

- [1] 黄志澄. 小卫星技术及其军事应用的新进展[J]. 卫星应用, 2008, 16(2): 36-41.
- [2] 周新发, 尚志, 刘群. 工业现场 CAN 总线在航天领域的应用[J]. 现场总线与网络技术, 2006(1): 60-63.
- [3] 刘涛. CAN 总线接口电路设计中的关键问题[J]. 工矿自动化, 2007(1): 100-102.
- [4] 汤楠, 李明. AD7890 型串行数/模转换器与 51 系列单片机的接口设计[J]. 国外电子元器件, 2006(8): 4-7.
- [5] 饶运涛, 邹继军. 现场总线 CAN 原理与应用技术[M]. 2 版. 北京: 北京航空航天大学出版社, 2007.
- [6] 刘文怡, 袁伟涛, 张斌珍. 基于 FPGA 和 USB 的 64 路数据采集系统设计[J]. 微电子学与计算机, 2008, 25(12): 151-153.
- [7] 薛小刚, 葛毅敏. Xilinx ISE 9.x FPGA、CPLD 设计指南[M]. 北京: 人民邮电出版社, 2007.

作者简介:

陈萍女, (1983-), 硕士研究生. 研究方向为飞行器综合电子系统.

姜秀杰女, (1965-), 博士, 研究员. 研究方向为飞行器综合电子系统、飞船、卫星等空间飞行器的研制.

(上接第 124 页)

系统的特征提取、训练算法和模式识别, 大大提高了系统的处理速度. 同时针对语音识别系统的预处理和特征提取阶段, 引入小波变换对传统的实现方法进行改进, 在模式识别中采用了人工神经网络, 有效地降低了系统中的噪声. 减少了系统中不必要的数据量, 有效提高了 DSP 与 MCU 的运行效率和整个语音识别系统的性能.

参考文献:

- [1] 徐秀平, 李柱峰. 基于神经网络的语音识别与自动检验研究[J]. 微电子学与计算机, 2004, 21(12): 123-126.
- [2] 常丹华, 郑春蕾. 基于 DSP 的语音识别智能控制系统[J]. 电子测量技术, 2008, 31(4): 175-178.

- [3] 杜亚玲, 刘建业. 基于 DSP 的航姿系统多传感器信息融合技术[J]. 传感器技术, 2005, 24(9): 85-88.
- [4] 唐述, 刘东, 尹怡欣. 基于粗糙集和神经网络的信息融合方法[J]. 微计算机信息, 2007, 23(6/3): 196-197.
- [5] 李苏梅, 韩国强, 周咏梅. 一种基于 BP 神经网络的颜色空间量化方案[J]. 广西师范大学学报: 自然科学版, 2008, 26(1): 232-235.
- [6] 王岩, 苏健民, 于慧伶, 等. 小波分析在语音识别系统中的研究与应用[J]. 林业劳动安全, 2007, 20(1): 38-41.

作者简介:

宋弘男, (1973-), 硕士, 副教授, 硕士生导师. 研究方向为人工智能、机器人等.